

[Country publishing the Document] Japanese Patent Office (JP)
[Kind of Document] published unexamined utility model application (U)
[Publication Number] Japanese Utility Model Laid-Open No. 5-68130
[Publication Date] 1993 (1993) September 10
[Title of the Invention] GTO thyristor gate drive circuit
[Intl. Cl.5]
H03K 17/73
H02M 1/06
B 8325-5H
7/515
D 9181-5H
[FI]
H03K 17/73
A 7827-5J
[Request for Examination] not requested
[Number of Claims] 1
[Total Number of Pages] 3
[Application Number] Japanese Utility Model Registration Application No. 4-6135
[Filing Date] 1992 (1992) February 17
[Applicants]
[Identification Number] 000003942
[Name] Nissin Electric
[Address] 47, Umezutakazecho, Ukyo-ku, Kyoto-shi, Kyoto Co., Ltd.
[Inventors]
[Name] Masamitsu Kumazawa
[Address] 47, Umezutakazecho, Ukyo-ku, Kyoto-shi Nissin Electric Co., Ltd.
[Inventors]
[Name] Takaya hasegawa
[Address] 47, Umezutakazecho, Ukyo-ku, Kyoto-shi Nissin Electric Co., Ltd.
[Agents]
[Patent Attorneys]
[Name] Hideo Miyai

[ABSTRACT]

[PURPOSE]

It makes it turns immediately, and turn on a GTO thyristor in response to on command

signal outbreak.

[CONSTITUTION]

A series arrangement of switch element SW 1 of resistance R 1 of dc source E 1 and the first and the first is connected between gate cathodes of GTO thyristor Q ▼ switch element SW 3 of the second series arrangement of switch element SW 2 of resistance R 2 and the second and the third is connected in parallel to a series arrangement of switch element SW 1 of the first resistance R 1 and the first.

And the first switch element SW 1 is turned on on an outbreak succeeding mark of an on command signal sequel to ▼ only constant time just after outbreak of an on command signal turns on the second switch element SW 2, and it turns off afterwards ▼ only uniformity time to have a short turns on the third switch element SW 3 from an on period of the second switch element SW 3 just after outbreak of an on command signal, and it turns off afterwards.

The first resistance and a series arrangement of the first switch element are connected to a dc source between gate cathodes of a [Claims for the Utility Model Registration] [claim 1] gate turn off thyristor ▼ the second resistance and a series arrangement of the second switch element and the third switch element are connected in parallel to the first resistance and a series arrangement of the first switch element ▼ the first switch element is turned on on an outbreak succeeding mark of an on command signal sequel to ▼ only uniformity time just after outbreak of the on command signal turns on the second switch element, and it turns off afterwards ▼ it is a GTO thyristor gate drive circuit including only uniformity time to have a short turns on the third switch element from an on period of the second switch element just after outbreak of the on command signal, and having turned off afterwards.

[Detailed Description of the Invention]

[0001]

[Industrial Application Field]

By way of example only, a GTO thyristor gate drive circuit employed as a switching element in an inverter device of a pulse width modulated method is related to, and this invention concerns constitution for a part of an on pulse formation circuit giving a gate pulse for on to drive a GTO thyristor (a gate turn off thyristor) in particular (an on pulse).

[0002] because a start incline of an anode electric current of a GTO thyristor when a [Prior Art] GTO thyristor was turned on (di/dt) is being precipitous very ▼, about a

gate electric current a GTO thyristor is turned on, and to drive, it is necessary it stands to a big value at a steep incline, and to give.

Because of this generally high gate drive is done to turn on a GTO thyristor.

In other words it is the early days whether it is compared with a routine gate electric current, and, as a gate electric current, a big electric current is carried away ▼ the appointed time progress back drains only a routine gate electric current of a few values.

[0003] a circuit diagram of the conventional GTO thyristor gate drive circuit which a GTO thyristor seems to be mentioned above in FIG. 5, and drive a high gate is shown.

In FIG. 5, GTO thyristor gate drive circuit 6 becomes from 1, dc source E E 2 providing a power supply to on pulse outbreak circuit 7 and off pulse outbreak circuit 3 and them.

On pulse outbreak circuit 7 becomes 1, resistance R R 2 for electric current limits from capacitor C and switch element SW 1.

[0004], in on pulse outbreak circuit 7, switch element SW 1 becomes on by means of an on command signal as opposed to GTO thyristor Q.

If switch element SW 1 becomes on, an electric current streams down a gate of GTO thyristor Q through resistance R 1 and switch element SW 1 from dc source E 1, and a discharge current of capacitor C charged beforehand drifts to a gate of GTO thyristor Q through switch element SW 1 and resistance R 2.

[0005] broadcast between developmental stages of the command signal which current flowing is a value to be constant as shown in FIG. 6 (b) to a gate of GTO thyristor Q through resistance R 1 from dc source E 1, and turn on ▼ sequel to ▼ it is done, and it drifts (a stationary electric current).

On the other hand, as for the current flowing, just after outbreak of an on command signal that is on of switch element SW 1 is big as shown in FIG. 6 (a) to a gate of GTO thyristor Q through resistance R 2 from capacitor C just after that, but ▼ it decreases afterwards, and it is in a zero.

Therefore, it is whether a complex electric current to stream down a gate of GTO thyristor Q compares outbreak of an on command signal with a steady state as shown in FIG. 6 (c) just after that, and a big electric current is to drift.

[0006], as for capacitor C, switch element SW 1 is charged through resistance R 1 and a series arrangement of resistance R 2 by dc source E 1 at the time of off.

In addition, resistance R 1 is set to around 4-10 times of resistance value of resistance R 2 ▼ a big electric current is a flow, a steady state, and outbreak of an on command signal reduces current flowing to a gate to a gate of GTO thyristor Q just after that.

[0007] switch element SW 1 becomes off, and off pulse outbreak circuit 3 works by means of an off command signal of GTO thyristor Q this time after this.

It makes off pulse outbreak circuit 3 drains a pulse electric current of reverse polarity into a gate of GTO thyristor Q as a power supply supplying dc source E 1, and next intercept GTO thyristor Q.

In addition, concrete circuitry of this off pulse outbreak circuit 3 omits illustration in what is not related to with a this matter invention directly.

[0008], in constitution of conventional on pulse formation circuit 7 such as for example the above, capacitor C is charged through a series arrangement of 1, resistance R R 2 from dc source E 1 in off of switch element SW 1, but ▼ till resistance R 1 is compared with resistance R 2, and capacitor C is 満充電さ with around 4-10 times greatly ▼ long time is needed.

Because of this after making it turns once, and GTO thyristor Q be off ▼ limitation of the time that capacitor C must do larger than waiting time to charge completion (100, by way of example only, μ s degree) produces a period before making next is turned to, and turn on.

In other words the smallest off pulse time of GTO thyristor Q is limited with charge of capacitor C ▼ when, by way of example only, GTO thyristor Q is used for pulse width modulated inverter devices ▼ a limit is to occur to a switching frequency of GTO thyristor Q.

[0009] it is assumed such a problem can be broken off that is that the smallest off pulse time of a GTO thyristor can be shortened, and a GTO thyristor gate drive circuit as shown in the following is already proposed (cf. Japanese Utility Model Registration Application No. 3-012375).

This existing suggestion example is explained when taken in conjunction with figure 3 and figure 4 as follows.

An existing suggestion example of the GTO thyristor gate drive circuit that a high gate drives a GTO thyristor in FIG. 3 is shown.

In FIG. 3, GTO thyristor gate drive circuit 4 becomes from 1, dc source E E 2 providing a power supply to on pulse outbreak circuit 5 and off pulse outbreak circuit 3 and them.

On pulse outbreak circuit 5 becomes 1, resistance R R 2 for electric current limits from 1, switch element SW SW 2.

In addition, for example, for 1, switch element SW SW 2, electric field effect type transistors are used.

In addition, it is small, and resistance value of resistance R 2 sets in comparison with resistance value of resistance R 1 ▼ a comparatively big electric current can be canceled to a gate of GTO thyristor Q.

[0010], in on pulse outbreak circuit 5, 1, switch element SW SW 2 becomes on by means

of an on command signal as opposed to GTO thyristor Q at the same time.

Only uniformity time after outbreak of an on command signal (10-20 μ s degree) becomes off with on by means of giving switch element SW 2 an output signal of the outbreak succeeding one-shot circuits that it is done, and it is done trigger with an on command signal as for on or one switch element SW 2 of an on command signal sequel to as a control signal by means of switch element SW 1 giving switch element SW 1 an output signal of latch circuits holding an on command signal as a control signal afterwards.

[0011] if switch element SW 1 becomes on, an electric current is called off to a gate of GTO thyristor Q through resistance R 1 and switch element SW 1 from dc source E 1.

In addition, an electric current for high gate drive streams down a gate of GTO thyristor Q through resistance R 2 and switch element SW 2 from dc source E 1 if switch element SW 2 becomes on.

[0012] broadcast between developmental stages of the command signal which current flowing is a value to be constant as shown in FIG. 4 (a) to a gate of GTO thyristor Q through resistance R 1 from dc source E 1, and turn on ▼ sequel to ▼ it is done, and it drifts (a stationary electric current).

On the other hand, current flowing streams down only constant time just after outbreak of an on command signal (is set with one-shot circuits) as shown in FIG. 4 (b) to a gate of GTO thyristor Q through resistance R 2 from dc source E 1 ▼ a zero is become afterwards.

Therefore, it is whether uniformity time compares a complex electric current to stream down a gate of GTO thyristor Q with a steady state just after outbreak of an on command signal as shown in FIG. 4 (c), and a big electric current drifts.

[0013] switch element SW 1 becomes off, and off pulse outbreak circuit 3 works same as conventional embodiment by means of an off command signal of GTO thyristor Q this time after this.

This existing suggestion example establishes switch element SW 2 to drain an electric current for high gate drive just after on command signal outbreak ▼ is drained an electric current for high gate drive from dc source E 1 as well as the stationary electric current that a command signal turning on switch element SW 2 goes along R 1 that only uniformity time just after occurring resists a gate of GTO thyristor Q ▼ because it is not provided by release of an accumulation electric charge of a capacitor like conventional embodiment ▼ waiting time for use in charge of a capacitor such as for example conventional embodiment becomes needless ▼ off pulse time of GTO thyristor

Q at the minimum can be shortened until time based on an original characteristic of GTO thyristor Q.

[0014] when, by way of example only, GTO thyristor Q is used for pulse width modulated inverter devices ▼ a switching frequency of GTO thyristor Q can be raised ▼ frequency of output voltage to generate in a pulse width modulated inverter device gets possible to be raised.

[0015] while doing only [Problems to be solved by the Invention] ▼, as for the GTO thyristor gate drive circuit of FIG. 3, there was the problem that seemed to be described the following in on pulse outbreak circuit 5.

In other words a start incline of an electric current for high gate drive limited with resistance R 2 by interaction with resistance R 2 (di/dt) becomes small so that there is inductance ingredient L of floating to wiring and a lead wire of gate electrode of GTO thyristor Q of on pulse outbreak circuit 5.

It was not able to make it replied to a relation, on command signal outbreak in turn on time and delay time that a start incline of an electric current for this high gate drive became small, and it turned immediately, and turn on GTO thyristor Q.

[0016], therefore, it is to provide the GTO thyristor gate drive circuit which can make an object of this invention replies to on command signal outbreak, and it turns immediately, and turn on a GTO thyristor.

[0017] [Means to solve the Problems] connects a dc source and the first resistance and a series arrangement of the first switch element to a GTO thyristor gate drive circuit of this invention between gate cathodes of a GTO thyristor ▼ the second resistance and a series arrangement of the second switch element and the third switch element are connected in parallel to the first resistance and a series arrangement of the first switch element.

And the first switch element is turned on on an outbreak succeeding mark of an on command signal sequel to ▼ only constant time just after outbreak of an on command signal turns on the second switch element, and it turns off afterwards ▼ it is constitution only uniformity time to have a short turns on the third switch element from an on period of the second switch element just after outbreak of an on command signal, and to turn off afterwards.

[0018]

[Operations]

When an on command signal occurs according to constitution of this invention, the first switch element becomes on, and a routine gate electric current drifts to a gate of a GTO thyristor continuously.

In addition, the second switch element becomes on, and, in constant time just after outbreak of an on command signal, it is expected that an electric current for high gate drive streams down a gate of a GTO thyristor through the second resistance from a dc source.

Even more particularly, the third switch element becomes on, and a near big gate electric current is to drift in a short circuit state for start improvement without a limit by resistance to a gate of a GTO thyristor in short constant time from an on period of the second switch element just after outbreak of an on command signal.

[0019] when, as a result, the second switch element became on ▼ even if start of an electric current for high gate drive to be passed to a gate of a GTO thyristor through the second resistance from a dc source becomes small by means of an inductance ingredient of the second resistance and wiring ▼ the third switch element becomes on, and, all over the start period of an electric current for high gate drive, a near steep gate electric current is to drift to a gate of a GTO thyristor in a short circuit state for start improvement without a limit by resistance ▼ a start incline of a composition gate electric current to drift to a gate of a GTO thyristor can be done with a big thing.

Therefore, it can make it turns immediately, and turn on a GTO thyristor in response to on command signal outbreak.

[0020] [Examples] explains one embodiment of this invention based on figure 1 and figure 2.

This GTO thyristor gate drive circuit is exchanged with on pulse outbreak circuit 5 of FIG. 3 as shown in FIG. 1, and on pulse outbreak circuit 2 is used.

In this on pulse outbreak circuit 5, other is similar to a thing of FIG. 3 with the thing which, even more particularly, connected switch element SW 3 in parallel to resistance R 1 and a series arrangement of switch element SW 1 and resistance R 2 and a parallel circuit with a series arrangement of switch element SW 2.

[0021], for this case, the first switch element SW 1 turns on on an outbreak succeeding mark of an on command signal sequel to same as a GTO thyristor gate drive circuit of FIG. 3 ▼ only uniformity time just after outbreak of an on command signal turns on same as FIG. 3, and the second switch element SW 2 turns off afterwards, too.

In addition, it is constitution the third switch element SW 3 turns on only uniformity time to have a short (a start period of an electric current for high gate drive by on of the second switch element SW and time of the degree) from an on period of the second switch element SW 2 just after outbreak of an on command signal because a semiconductor switch element of transistors gives the third switch element SW 3 an output signal of the one-shot circuits which can leave trigger by means of an on

command signal as a control signal, and to turn off afterwards.

[0022] as thus described the first switch element SW 1 becomes on, and a routine gate electric current drifts to a gate of GTO thyristor Q through resistance R 1 continuously when an on command signal occurs when it is composed.

In addition, the second switch element SW 2 becomes on, and, in constant time just after outbreak of an on command signal, an electric current for high gate drive is to drift through the second resistance R 2 from dc source E 1 to a gate of GTO thyristor Q.

Even more particularly, the third switch element SW 3 becomes on, and a near steep gate electric current is to drift to a gate of GTO thyristor Q in a short circuit state for start improvement without a limit by resistance in short constant time from an on period of the second switch element SW 2 just after outbreak of an on command signal.

[0023] a wave form chart of each part of a GTO thyristor gate drive circuit of FIG. 1 is shown in FIG. 2.

The figure above (a) shows a wave pattern of a routine gate electric current to flow through the first resistance R 1 and a series arrangement of the first switch element SW 1.

The figure above (b) shows a wave pattern of an electric current for high gate drive to flow through the second resistance R 2 and a series arrangement of the second switch element SW 2.

The figure above (c) shows a wave pattern of the gate electric current which synthesized an electric current for a routine gate electric current of the figure above (a) and high gate drive of the figure above (b).

The figure above (d) shows a wave pattern of a gate electric current for start improvement to be called off through the third switch element SW 3.

The figure above (e) shows a wave pattern of the gate electric current which synthesized an electric current of the figure above (c) and a gate electric current of the figure above (d).

[0024] as thus described the third switch element SW 3 is made more ▼ because only a period to extremely have a short just after on order outbreak (during a start period of an electric current for high gate drive) turned on the third switch element SW 3, and it stood up, and a gate electric current for improvement was drained into a gate of GTO thyristor Q ▼ when the second switch element SW 2 became on ▼ even if start of an electric current for high gate drive to drift to a gate of GTO thyristor Q through the second resistance R 2 from dc source E 1 becomes small by means of the second resistance R 2 and a floating inductance ingredient of wiring ▼ a start incline of a composition gate electric current to drift to a gate of GTO thyristor Q can be done with a

big thing.

Therefore, it can make it turns immediately, and turn on GTO thyristor Q in response to on command signal outbreak.

[0025] [Effects of the Invention] establishes the third switch element according to a GTO thyristor gate drive circuit of this invention ▼ because only an extremely short period just after on order outbreak turned on the third switch element, and it stood up, and a gate electric current for improvement was drained into a gate of a GTO thyristor ▼ when the second switch element became on ▼ even if start of an electric current for high gate drive to drift to a gate of a GTO thyristor becomes small by means of existence of a floating inductance ingredient of wiring ▼ a start incline of a composition gate electric current to drift to a gate of a GTO thyristor can be done with a big thing.

Therefore, it can make it turns immediately, and turn on a GTO thyristor in response to on command signal outbreak.

[Brief Description of the Drawings]

[FIG. 1]

It is a circuit diagram showing constitution of an on pulse formation circuit in a GTO thyristor gate drive circuit of one embodiment of this invention.

[FIG. 2]

It is a thyme chart of each part of a circuit of FIG. 1.

[FIG. 3]

It is a circuit diagram showing the existing suggestion constitution of an on pulse formation circuit in a GTO thyristor gate drive circuit in question.

[FIG. 4]

It is a thyme chart of each part of a circuit of FIG. 3.

[FIG. 5]

It is a circuit diagram showing constitution of conventional embodiment of an on pulse formation circuit in a GTO thyristor gate drive circuit.

[FIG. 6]

It is a thyme chart of each part of a circuit of FIG. 5.

One two switch element E dc source 1GTO thyristor gate drive circuit on pulse formation circuits of switch element SW 3 the third of switch element SW 2 the second of resistance SW 1 the first of resistance R 2 the second of [Denotation of Reference Numerals] QGTO thyristor R 1 the first

[FIG. 1]

[FIG. 2]

[FIG. 3]

[FIG. 4]

[FIG. 5]

[FIG. 6]

全項目

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開実用新案公報(U)
 (11)【公開番号】実開平5-68130
 (43)【公開日】平成5年(1993)9月10日
 (54)【考案の名称】GTOサイリスタゲート駆動回路
 (51)【国際特許分類第5版】

H03K 17/73
 H02M 1/06 B 8325-5H
 7/515 D 9181-5H

【FI】

H03K 17/73 A 7827-5J

【審査請求】未請求

【請求項の数】1

【全頁数】3

(21)【出願番号】実願平4-6135

(22)【出願日】平成4年(1992)2月17日

(71)【出願人】

【識別番号】000003942

【氏名又は名称】日新電機株式会社

【住所又は居所】京都府京都市右京区梅津高畝町47番地

(72)【考案者】

【氏名】熊澤 正光

【住所又は居所】京都市右京区梅津高畝町47番地 日新電機株式会社内

(72)【考案者】

【氏名】長谷部 孝弥

【住所又は居所】京都市右京区梅津高畝町47番地 日新電機株式会社内

(74)【代理人】

【弁理士】

【氏名又は名称】宮井 暎夫

(57)【要約】

【目的】 オン指令信号発生にตอบสนองしてGTOサイリスタを速やかにターンオンさせる。

【構成】 GTOサイリスタQのゲート・カソード間に直流電源 E_1 と第1の抵抗 R_1 と第1のスイッチ素子 SW_1 の直列回路を接続し、第1の抵抗 R_1 と第1のスイッチ素子 SW_1 の直列回路に第2の抵抗 R_2 と第2のスイッチ素子 SW_2 の直列回路および第3のスイッチ素子 SW_3 を並列接続している。そして、第1のスイッチ素子 SW_1 をオン指令信号の発生後継続的にオンにし、第2のスイッチ素子 SW_2 をオン指令信号の発生直後の一定時間のみオンにしその後はオフにし、第3のスイッチ素子 SW_3 をオン指令信号の発生直後の第2のスイッチ素子 SW_2 のオン期間より短い一定時間のみオンにしその後はオフにする。

【実用新案登録請求の範囲】

【請求項1】 ゲートターンオフサイリスタのゲート・カソード間に直流電源と第1の抵抗と第1のスイ

ツチ素子の直列回路を接続し、前記第1の抵抗と第1のスイッチ素子の直列回路に第2の抵抗と第2のスイッチ素子の直列回路および第3のスイッチ素子を並列接続し、前記第1のスイッチ素子をオン指令信号の発生後継続的にオンにし、前記第2のスイッチ素子を前記オン指令信号の発生直後の一定時間のみオンにしその後はオフにし、前記第3のスイッチ素子を前記オン指令信号の発生直後の前記第2のスイッチ素子のオン期間より短い一定時間のみオンにしその後はオフにするようにしたことを特徴とするGTOサイリスタゲート駆動回路。

【考案の詳細な説明】

【0001】

【産業上の利用分野】

この考案は、例えばパルス幅変調方式のインバータ装置にてスイッチング素子として使用されるGTOサイリスタゲート駆動回路に関するもので、特にGTOサイリスタ(ゲートターンオフサイリスタ)をオン駆動するためのゲートパルス(オンパルス)を与えるオンパルス形成回路の部分の構成に係る。

【0002】

【従来の技術】

GTOサイリスタをオンにしたときのGTOサイリスタのアノード電流の立ち上がり勾配(di/dt)は、非常に急峻であるため、GTOサイリスタをオン駆動するためのゲート電流についても、急峻な勾配で大きな値まで立ち上げる必要がある。このため、GTOサイリスタをオンにするために、一般に、ハイゲート駆動を行っている。つまり、ゲート電流として、初期には定常ゲート電流に比べてかなり大きい電流を流し、所定時間経過後は少ない値の定常ゲート電流のみを流すようにしている。

【0003】

図5にGTOサイリスタを上記のようにハイゲート駆動する従来のGTOサイリスタゲート駆動回路の回路図を示す。図5において、GTOサイリスタゲート駆動回路6は、オンパルス発生回路7およびオフパルス発生回路3と、それらに給電する直流電源 E_1 、 E_2 とからなる。オンパルス発生回路7は、電流制限用の抵抗 R_1 、 R_2 とコンデンサCとスイッチ素子 SW_1 とからなる。

【0004】

上記オンパルス発生回路7は、GTOサイリスタQに対するオン指令信号によって、スイッチ素子 SW_1 がオンとなる。スイッチ素子 SW_1 がオンとなると、直流電源 E_1 から抵抗 R_1 およびスイッチ素子 SW_1 を通してGTOサイリスタQのゲートに電流が流れるとともに、予め充電されたコンデンサCの放電電流がスイッチ素子 SW_1 および抵抗 R_2 を通してGTOサイリスタQのゲートに流れる。

【0005】

上記直流電源 E_1 から抵抗 R_1 を通してGTOサイリスタQのゲートに流れる電流は、図6(b)に示すように一定の値であり、オン指令信号の発生期間中継続して流れる(定常電流)。一方、コンデンサCから抵抗 R_2 を通してGTOサイリスタQのゲートに流れる電流は、図6(a)に示すように、オン指令信号の発生直後、つまりスイッチ素子 SW_1 のオン直後は大きい、その後減少して零になる。したがって、GTOサイリスタQのゲートに流れる合成電流は、図6(c)に示すようになり、オン指令信号の発生直後は定常状態に比べてかなり大きい電流が流れることになる。

【0006】

上記のコンデンサCは、スイッチ素子 SW_1 がオフのときに、直流電源 E_1 により抵抗 R_1 および抵抗 R_2 の直列回路を通して充電される。また、抵抗 R_1 は、抵抗 R_2 の抵抗値の4～10倍程度に設定してあり、オン指令信号の発生直後はGTOサイリスタQのゲートに大きい電流が流れ、定常状態ではゲートに流れる電流を少なくしている。

【0007】

この後、GTOサイリスタQのオフ指令信号によってスイッチ素子 SW_1 がオフとなり、今度はオフパルス発生回路3が動作する。

つぎに、オフパルス発生回路3は、直流電源 E_1 を供給電源として、GTOサイリスタQのゲートに逆

極性のパルス電流を流してGTOサイリスタQを遮断させる。なお、このオフパルス発生回路3の具体的な回路構成は、本件考案とは直接関係しないので、図示を省略している。

【0008】

上記のような従来のオンパルス形成回路7の構成では、スイッチ素子 SW_1 のオフ時に、直流電源 E_1 から抵抗 R_1 、 R_2 の直列回路を通してコンデンサCが充電されるが、抵抗 R_1 は抵抗 R_2 に比べて4～10倍程度と大きく、コンデンサCが満充電されるまでに長時間を要する。このため、GTOサイリスタQをいったんターンオフさせてからつぎにターンオンさせるまでの期間を、コンデンサCが充電完了までの待ち時間(例えば100 μ s程度)以上にしなければならないという時間的制約が生じる。つまり、コンデンサCの充電に伴ってGTOサイリスタQの最小オフパルス時間が制約され、例えばGTOサイリスタQをパルス幅変調インバータ装置等に使用する場合、GTOサイリスタQのスイッチング周波数に制限が生じることになる。

【0009】

このような問題を解消することができる、つまりGTOサイリスタの最小オフパルス時間を短縮することができるものとして、以下に示すようなGTOサイリスタゲート駆動回路が既に提案されている(実願平3-012375号参照)。

以下、この既提案例について、図3および図4を参照しながら説明する。

図3にGTOサイリスタをハイゲート駆動するGTOサイリスタゲート駆動回路の既提案例を示す。

図3において、GTOサイリスタゲート駆動回路4は、オンパルス発生回路5およびオフパルス発生回路3と、それらに給電する直流電源 E_1 、 E_2 とからなる。オンパルス発生回路5は、電流制限用の抵抗 R_1 、 R_2 とスイッチ素子 SW_1 、 SW_2 とからなる。なお、スイッチ素子 SW_1 、 SW_2 としては、例えば電界効果型トランジスタ等が用いられる。また、抵抗 R_2 の抵抗値は抵抗 R_1 の抵抗値に比べて小さく設定し、比較的大きな電流をGTOサイリスタQのゲートに流すことができるようにしている。

【0010】

上記オンパルス発生回路5は、GTOサイリスタQに対するオン指令信号によって、スイッチ素子 SW_1 、 SW_2 が同時にオンとなる。スイッチ素子 SW_1 はオン指令信号を保持するラッチ回路等の出力信号をスイッチ素子 SW_1 に制御信号として与えることによってオン指令信号の発生後継続してオンとなり、一方スイッチ素子 SW_2 はオン指令信号でトリガされるワンショット回路等の出力信号をスイッチ素子 SW_2 に制御信号として与えることによってオン指令信号の発生後の一定時間(10～20 μ s程度)のみオンとなり、その後はオフとなる。

【0011】

スイッチ素子 SW_1 がオンとなると、直流電源 E_1 から抵抗 R_1 およびスイッチ素子 SW_1 を通してGTOサイリスタQのゲートに電流が流れる。また、スイッチ素子 SW_2 がオンとなると、直流電源 E_1 から抵抗 R_2 およびスイッチ素子 SW_2 を通してGTOサイリスタQのゲートにハイゲート駆動用の電流が流れる。

【0012】

上記直流電源 E_1 から抵抗 R_1 を通してGTOサイリスタQのゲートに流れる電流は、図4(a)に示すように一定の値であり、オン指令信号の発生期間中継続して流れる(定常電流)。一方、直流電源 E_1 から抵抗 R_2 を通してGTOサイリスタQのゲートに流れる電流は、図4(b)に示すように、オン指令信号の発生直後の一定時間(ワンショット回路等で設定される)だけ流れ、その後は零になる。したがって、GTOサイリスタQのゲートに流れる合成電流は、図4(c)に示すようになり、オン指令信号の発生直後一定時間は定常状態に比べてかなり大きい電流が流れる。

【0013】

この後、GTOサイリスタQのオフ指令信号によってスイッチ素子 SW_1 がオフとなり、今度はオフパルス発生回路3が従来例と同様に動作する。

この既提案例は、オン指令信号発生直後にハイゲート駆動用の電流を流すためのスイッチ素子 SW_2 を設け、直流電源 E_1 からスイッチ素子 SW_2 をオン指令信号発生直後の一定時間のみGTOサイリスタQのゲートに抵抗 R_1 を通る定常電流に加えてハイゲート駆動用の電流を流すようにし

てあり、従来例のようにコンデンサの蓄積電荷の放出で賄うのではないため、従来例のようなコンデンサの充電のための待ち時間が不要となり、GTOサイリスタQの最小オフパルス時間をGTOサイリスタQの本来の特性に基づく時間まで短くすることができる。

【0014】

例えばGTOサイリスタQをパルス幅変調インバータ装置等に使用する場合、GTOサイリスタQのスイッチング周波数を高めることができ、パルス幅変調インバータ装置で発生させる出力電圧の周波数を高めることが可能となる。

【0015】

【考案が解決しようとする課題】

しかしながら、図3のGTOサイリスタゲート駆動回路は、オンパルス発生回路5に以下に述べるような問題があった。

つまり、オンパルス発生回路5の配線およびGTOサイリスタQのゲート電極のリード線等に浮遊のインダクタンス成分Lが存在するため、抵抗 R_2 との相互作用で、抵抗 R_2 で制限しているハイゲート駆動用の電流の立ち上がり勾配(di/dt)が小さくなってしまう。このハイゲート駆動用の電流の立ち上がり勾配が小さくなるということは、ターンオン時間および遅れ時間に関わり、オン指令信号発生に応答してGTOサイリスタQを速やかにターンオンさせることができなかった。

【0016】

したがって、この考案の目的は、オン指令信号発生に応答してGTOサイリスタを速やかにターンオンさせることができるGTOサイリスタゲート駆動回路を提供することである。

【0017】

【課題を解決するための手段】

この考案のGTOサイリスタゲート駆動回路は、GTOサイリスタのゲート・カソード間に直流電源と第1の抵抗と第1のスイッチ素子の直列回路を接続し、第1の抵抗と第1のスイッチ素子の直列回路に第2の抵抗と第2のスイッチ素子の直列回路および第3のスイッチ素子を並列接続している。そして、第1のスイッチ素子をオン指令信号の発生後継続的にオンにし、第2のスイッチ素子をオン指令信号の発生直後の一定時間のみオンにしその後はオフにし、第3のスイッチ素子をオン指令信号の発生直後の第2のスイッチ素子のオン期間より短い一定時間のみオンにしその後はオフにする構成である。

【0018】

【作用】

この考案の構成によれば、オン指令信号が発生すると、第1のスイッチ素子がオンとなってGTOサイリスタのゲートに定常ゲート電流が継続的に流れる。また、オン指令信号の発生直後の一定時間において、第2のスイッチ素子がオンとなってGTOサイリスタのゲートにハイゲート駆動用の電流が直流電源から第2の抵抗を通して流れることになる。さらに、オン指令信号の発生直後の第2のスイッチ素子のオン期間より短い一定時間において、第3のスイッチ素子がオンとなってGTOサイリスタのゲートに抵抗による制限のない立ち上がり改善用の短絡状態に近い大きなゲート電流が流れることになる。

【0019】

この結果、第2のスイッチ素子がオンとなったときに直流電源から第2の抵抗を通してGTOサイリスタのゲートに流れるハイゲート駆動用の電流の立ち上がりが第2の抵抗と配線のインダクタンス成分とによって小さくなくても、ハイゲート駆動用の電流の立ち上がり期間中に、第3のスイッチ素子がオンとなって抵抗による制限のない立ち上がり改善用の短絡状態に近い急峻なゲート電流がGTOサイリスタのゲートに流れることになり、GTOサイリスタのゲートに流れる合成ゲート電流の立ち上がり勾配を大きなものとすることができる。したがって、オン指令信号発生に応答してGTOサイリスタを速やかにターンオンさせることができる。

【0020】

【実施例】

この考案の一実施例を図1および図2に基づいて説明する。

このGTOサイリスタゲート駆動回路は、図1に示すように、図3のオンパルス発生回路5に代えて、オンパルス発生回路2を用いている。このオンパルス発生回路5は、抵抗 R_1 およびスイッチ素子 SW_1 の直列回路と抵抗 R_2 およびスイッチ素子 SW_2 の直列回路との並列回路にスイッチ素子 SW_3 をさらに並列接続したもので、その他は図3のものと同様である。

【0021】

この場合、第1のスイッチ素子 SW_1 は、図3のGTOサイリスタゲート駆動回路と同様にオン指令信号の発生後継続的にオンにし、第2のスイッチ素子 SW_2 も図3と同様にオン指令信号の発生直後の一定時間のみオンにしその後はオフにする。また、第3のスイッチ素子 SW_3 は、トランジスタ等の半導体スイッチ素子からなり、オン指令信号によってトリガされるワンショット回路等の出力信号を第3のスイッチ素子 SW_3 に制御信号として与えることにより、オン指令信号の発生直後の第2のスイッチ素子 SW_2 のオン期間より短い一定時間(第2のスイッチ素子 SW のオンによるハイゲート駆動用の電流の立ち上がり期間と同程度の時間)のみオンにしその後はオフにする構成である。

【0022】

このように構成すると、オン指令信号が発生すると、第1のスイッチ素子 SW_1 がオンとなってGTOサイリスタQのゲートに抵抗 R_1 を通して定常ゲート電流が継続的に流れる。また、オン指令信号の発生直後の一定時間において、第2のスイッチ素子 SW_2 がオンとなってGTOサイリスタQのゲートにハイゲート駆動用の電流が直流電源 E_1 から第2の抵抗 R_2 を通して流れることになる。さらに、オン指令信号の発生直後の第2のスイッチ素子 SW_2 のオン期間より短い一定時間において、第3のスイッチ素子 SW_3 がオンとなって抵抗による制限のない立ち上がり改善用の短絡状態に近い急峻なゲート電流がGTOサイリスタQのゲートに流れることになる。

【0023】

図2に図1のGTOサイリスタゲート駆動回路の各部の波形図を示す。同図(a)は第1の抵抗 R_1 および第1のスイッチ素子 SW_1 の直列回路を通して流れる定常ゲート電流の波形を示す。同図(b)は第2の抵抗 R_2 および第2のスイッチ素子 SW_2 の直列回路を通して流れるハイゲート駆動用の電流の波形を示す。同図(c)は同図(a)の定常ゲート電流と同図(b)のハイゲート駆動用の電流とを合成したゲート電流の波形を示す。同図(d)は第3のスイッチ素子 SW_3 を通して流れる立ち上がり改善用のゲート電流の波形を示す。同図(e)は同図(c)の電流と同図(d)のゲート電流とを合成したゲート電流の波形を示す。

【0024】

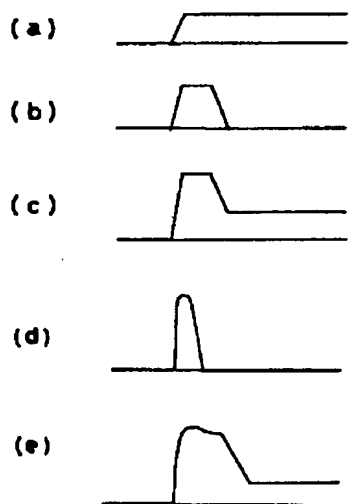
このように、第3のスイッチ素子 SW_3 をさらに設け、オン指令発生直後のごく短い期間(ハイゲート駆動用の電流の立ち上がり期間中)だけ第3のスイッチ素子 SW_3 をオンにして立ち上がり改善用のゲート電流をGTOサイリスタQのゲートに流すようにしたので、第2のスイッチ素子 SW_2 がオンとなったときに直流電源 E_1 から第2の抵抗 R_2 を通してGTOサイリスタQのゲートに流れるハイゲート駆動用の電流の立ち上がりが第2の抵抗 R_2 と配線の浮遊インダクタンス成分とによって小さくなくても、GTOサイリスタQのゲートに流れる合成ゲート電流の立ち上がり勾配を大きなものとすることができる。したがって、オン指令信号発生にตอบสนองしてGTOサイリスタQを速やかにターンオンさせることができる。

【0025】

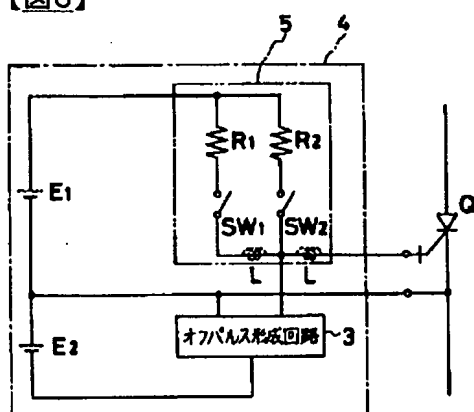
【考案の効果】

この考案のGTOサイリスタゲート駆動回路によれば、第3のスイッチ素子を設け、オン指令発生直後のごく短い期間だけ第3のスイッチ素子をオンにして立ち上がり改善用のゲート電流をGTOサイリスタのゲートに流すようにしたので、第2のスイッチ素子がオンとなったときにGTOサイリスタのゲートに流れるハイゲート駆動用の電流の立ち上がりが配線の浮遊インダクタンス成分の存在によって小さくなくても、GTOサイリスタのゲートに流れる合成ゲート電流の立ち上がり勾配を大きなものとすることができる。したがって、オン指令信号発生にตอบสนองしてGTOサイリスタを速やかにターンオンさせることができる。

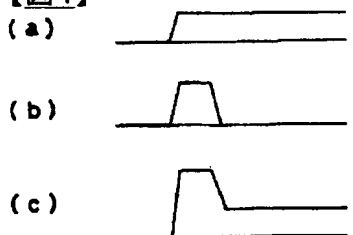
【図面の簡単な説明】



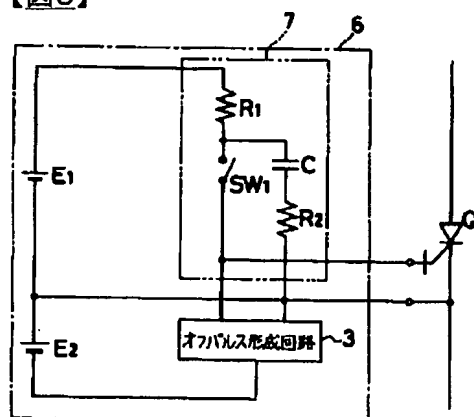
【図3】



【図4】



【図5】



【図1】この考案の一実施例のGTOサイリスタゲート駆動回路におけるオンパルス形成回路の構成を示す回路図である。

【図2】図1の回路の各部のタイムチャートである。

【図3】GTOサイリスタゲート駆動回路におけるオンパルス形成回路の既提案例の構成を示す回路図である。

【図4】図3の回路の各部のタイムチャートである。

【図5】GTOサイリスタゲート駆動回路におけるオンパルス形成回路の従来例の構成を示す回路図である。

【図6】図5の回路の各部のタイムチャートである。

【符号の説明】

Q GTOサイリスタ

R_1 第1の抵抗

R_2 第2の抵抗

SW_1 第1のスイッチ素子

SW_2 第2のスイッチ素子

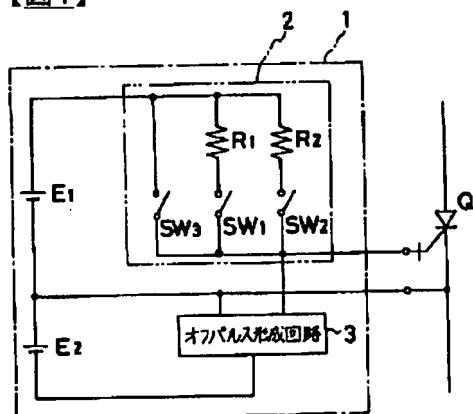
SW_3 第3のスイッチ素子

E_1 直流電源

1 GTOサイリスタゲート駆動回路

2 オンパルス形成回路

【図1】



Q GTOサイリスタ
 R_1 第1の抵抗
 R_2 第2の抵抗
 SW_1 第1のスイッチ素子
 SW_2 第2のスイッチ素子
 SW_3 第3のスイッチ素子
 E_1 直流電源
 1 GTOサイリスタゲート駆動回路
 2 オンパルス形成回路

【図2】

【図6】

